

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-138428

(43)公開日 平成9年(1997)5月27日

(51)Int.Cl. <sup>a</sup>		識別記号	序内整理番号	F I	技術表示箇所	
G 0 2 F	1/136	5 0 5	-	G 0 2 F	1/136	5 0 5
	1/133	5 5 5			1/133	5 5 5
	1/1343				1/1343	
H 0 1 L	29/786			H 0 1 L	29/78	6 1 4

審査請求 未請求 請求項の数5 OL (全 15 頁)

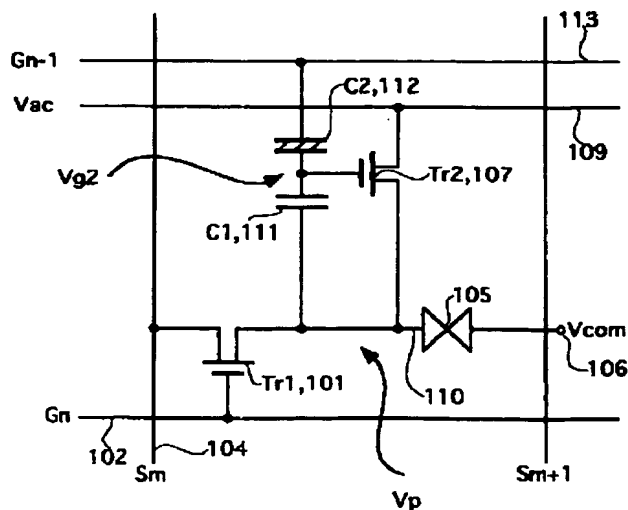
(21)出願番号	特願平7-296599	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成7年(1995)11月15日	(72)発明者	秋山 政彦 神奈川県横浜市磯子区新磯子町33 株式会 社東芝生産技術研究所内
		(74)代理人	弁理士 須山 佐一

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 表示品質を制限することなく駆動回路の消費電力を大幅に低減した液晶表示装置を提供することを目的とする。また、携帯用情報機器などに適した消費電力が小さく長時間使用可能な液晶表示装置を提供することを目的とする。

【解決手段】 本発明の液晶表示装置は、液晶に電圧を印加するそれぞれ少なくとも１個の非線形スイッチング素子を有する複数系統の電圧印加手段と、これら複数系統の電圧印加手段を切替えるとともに切替え状態を保持するメモリ部を有する制御手段とを具備したことを特徴とする。



## 【特許請求の範囲】

【請求項1】 液晶に電圧を印加するそれぞれ少なくとも1個の非線形スイッチング素子を有する複数系統の電圧印加手段と、

前記複数系統の電圧印加手段を切替えるとともに切替え状態を保持するメモリ部を有する制御手段とを具備したことを特徴とする液晶表示装置。

【請求項2】 前記制御手段は強誘電コンデンサを具備したことを特徴とする請求項1記載の液晶表示装置。

【請求項3】 液晶に、第1の周波数で電圧を印加する第1の電圧印加手段と、

前記液晶に第1の周波数よりも小さい第2の周波数で電圧を印加する第2の電圧印加手段と、

第1及び第2の電圧印加手段を切替えるとともにこの切替状態を保持するメモリ部を有する制御手段とを具備したことを特徴とする液晶表示装置。

【請求項4】 第1の信号線に印加される電圧をゲート線に印加される電圧により開閉して液晶及び第2の回路に印加する第1の回路と、

第2の信号線に印加される電圧を前記第1の回路から印加される電圧により開閉して前記液晶に印加するとともにこの開閉状態を保持するメモリ部と有する第2の回路とを具備したことを特徴とする液晶表示装置。

【請求項5】 ゲート電極を絶縁するゲート絶縁膜とコンタクト領域を介してソース・ドレイン電極と接合した半導体膜との間に強誘電体膜を有する薄膜トランジスタを具備したことを特徴とする液晶表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は液晶表示装置に関し特にアクティブマトリクス型液晶表示に関する。

## 【0002】

【従来の技術】液晶ディスプレイは、低消費電力で、厚さが薄く、軽量の表示装置として利用されている表示装置である。特に各画素に薄膜トランジスタを設けたアクティブマトリクス型の液晶ディスプレイでは画素数を多くしてもコントラストが高く、また動画表示しても応答が速い、表示品質の良好な画質が得られるため、TV用を始め、コンピュータ用として重視されている。

【0003】近年、携帯型のコンピュータあるいは情報端末機器が、いつでも情報を受け、加工し、発信することで広く用いられようとしている。このような用途においては、機器全体の消費電力の低減が連続稼働時間を長くする上でとりわけ重要であり、低消費電力のための様々な工夫がなされている。液晶ディスプレイにおいてもさらなる低消費電力化が必要である。

【0004】図19は従来のアクティブマトリクス型液晶表示装置の表示部の構成を概略的に示した図である。また、図20は従来の液晶表示装置の画素部分の回路の構成例を概略的に示した図である。

【0005】各画素にはトランジスタが1つ設けられ、ゲート線に印加された電圧によってトランジスタがオンし、その時の信号線の電圧を液晶に印加する。他の画素を駆動する際はゲート電圧を下げてトランジスタをオフにすることで、液晶および蓄積容量に充電された電荷が保持される。

【0006】液晶には通常交流電圧を印加する必要がある、また画面のちらつきを抑えるために人間の目に感じない周波数（例えば60Hz）で駆動する必要がある。

このため、静止画表示など画面に動きがない場合においても、常に信号線、ゲート線にパルスを印加する必要がある。

【0007】信号線の駆動回路は、シフトレジスタとサンプルホールド回路および出力バッファで構成され、通常表示信号を一定期間内に順次サンプリングするために、クロック周波数は、およそ走査期間を信号線数で割った値の逆数になり、 $1280 \times 1024$ 画素の場合、80MHz程度となる。駆動回路の消費電力はこのクロック周波数に比例する。また、液晶パネルの消費電力は、 $(\text{印加電圧})^2 \times (\text{容量}) \times (\text{周波数})$ で求められる。信号線の信号変化の周波数は一走査時間の逆数であり、61kHz程度となる。いずれにしても、消費電力は周波数に比例することから、液晶へのリフレッシュレートが同じである限り、消費電力を低減することは困難である。

【0008】例えばVGA（640×480画素）の対角10.4インチのLCDの消費電力は1W程度であり、携帯用情報機器の表示装置として長時間使うには問題がある。さらに、今後ますます増加する画面情報量に対応した高精細の液晶表示装置ではさらに消費電力が増大するため、低消費電力化が大きな課題となっていた。一方、強誘電性液晶を用いて液晶そのもののメモリ性を持たせ、液晶へのリフレッシュレートを遅くすることで低消費電力を図る技術が知られている。しかし、液晶にメモリ性を持たせると階調表示ができなくなり、カラー表示においても表示色数が著しく限定され、液晶表示装置の表示品質を大きく制限してしまうという問題があった。

## 【0009】

【発明が解決しようとする課題】本発明はこのような問題を解決するためになされたものである。すなわち本発明は表示品質を制限することなく駆動回路の消費電力を大幅に低減した液晶表示装置を提供することを目的とする。また、携帯用情報機器などに適した消費電力が小さく長時間使用可能な液晶表示装置を提供することを目的とする。

## 【0010】

【課題を解決するための手段】本発明の液晶表示装置は、液晶に電圧を印加するそれぞれ少なくとも1個の非線形スイッチング素子を有する複数系統の電圧印加手段

と、これら複数系統の電圧印加手段を切替えるとともに切替え状態を保持するメモリ部を有する制御手段とを具備したことを特徴とする。

【0011】また、制御手段には強誘電コンデンサを具備するようにしてもよい。

【0012】また、本発明の液晶表示装置は、液晶に第1の周波数で電圧を印加する第1の電圧印加手段と、液晶に第1の周波数よりも小さい第2の周波数で電圧を印加する第2の電圧印加手段と、第1及び第2の電圧印加手段を切替えるとともにこの切替状態を保持するメモリ部を有する制御手段とを具備したことを特徴とする。また、制御手段には第1又は第2の電圧印加手段により極性反転可能に第2の電圧印加手段に接続された強誘電コンデンサを具備するようにしてもよい。

【0013】また、第2の周波数は30Hz又は60Hzに設定するようにしてもよい。60Hzに設定すればフリッカは視認されない。

【0014】また、本発明の液晶表示装置は、第1の信号線に印加される電圧をゲート線に印加される電圧により開閉して液晶及び第2の回路に印加する第1の回路と、第2の信号線に印加される電圧を前記第1の回路から印加される電圧により開閉して前記液晶に印加するとともにこの開閉状態を保持するメモリ部と有する第2の回路とを具備したことを特徴とする。

【0015】また、第1の信号線と前記第2の信号線は平行に配設するようにしてもよい。また、本発明の液晶表示装置は、ゲート電極を絶縁するゲート絶縁膜とコンタクト領域を介してソース・ドレイン電極と接合した半導体膜との間に強誘電体膜を有する薄膜トランジスタを具備したことを特徴とする。

【0016】本発明の液晶表示装置は、複数のゲート線と、複数の信号線と、各画素に前記ゲート線および前記信号線と接続された第1のトランジスタと、この第1のトランジスタに接続された画素電極によって液晶に電圧を印加する液晶表示装置において、電圧印加手段を構成する第1のトランジスタの他に、液晶に交流電圧を印加する第2の電圧印加手段を構成する回路が設けられ、この回路は液晶への電圧印加の有無を保持できるメモリ部を有し、かつ複数系統の電圧印加をスイッチング可能な制御手段を具備したことを特徴とする。

【0017】すなわち、本発明の液晶表示装置は、液晶を駆動する複数系統の電圧印加手段（駆動回路を含む）と、これら複数系統の電圧印加手段を切替えるとともに、切替状態を保持するメモリ部を有する制御手段とを備えることにより、選択可能な複数の表示モードを可能にするものである。また、この表示モードに駆動周波数の小さな表示モードを含めることにより、大幅な低消費電力化を図ったものである。表示モードは例えば高品質な階調駆動も選択可能である。

【0018】本発明の液晶表示装置は複数系統の信号線

を駆動する信号線駆動回路は、系統毎に異なった駆動回路を用いるようにしてもよいし、複数系統の信号線を管理可能な単一の駆動回路を用いるようにしてもよい。また、対向電極にもこれら複数系統の電圧印加手段により電圧を印加するようにしてもよい。

【0019】これら複数系統の電圧印加手段には、液晶に直接電圧を印加しないで、上述の制御手段を駆動するためのストロープ配線を設けるようにしてもよい。

【0020】制御手段は、例えばコンデンサと薄膜トランジスタなどの非線形スイッチング素子を組合わせて構成するようにしてもよい。

【0021】コンデンサには常誘電体絶縁膜によるコンデンサと、強誘電性絶縁膜によるコンデンサを組合わせてあるいはそれぞれ用いるようにしてもよい。

【0022】本発明の液晶表示装置においてはトランジスタを採用して回路を構成したが、例えばダイオード、MIM (Metal-Insulator-Metal) のような他の非線形スイッチング素子を用いるようにしてもよい。

【0023】液晶層はネマティック液晶をホストとしカラー染料をゲストとしたゲストホスト型としたが、黒色染料をホストとするようにしてもよい。また、高分子分散型液晶、コレステリック液晶、スーパーホメオトロピック液晶など他の液晶を用いるようにしてもよい。

【0024】薄膜トランジスタは、アモルファスシリコンで活性層を形成したものをを用いたが、非単結晶の結晶シリコン、Te、CdSeなど他の半導体層で活性層を形成するようにしてもよい。

【0025】本発明の液晶表示装置に用いる強誘電コンデンサはチタン酸バリウムの結晶膜を用いた。この他強誘電性絶縁膜としてPZT ( $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ )、PLZT ( $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ) などのペロブスカイト系の強誘電体を用いるようにしてもよい。また、 $\text{BaMgF}_4$  などの化合物、 $\text{Ba}_4\text{Ti}_3\text{O}_{12}$  などの層状化合物を用いるようにしてもよい。さらに、ビニリデンフロライトとトリフルオロエチレンとの共重合体、ポリフッ化ビニリデンとトリフルオロエチレンとの共重合体などの有機強誘電体を用いるようにしてもよい。

【0026】

【発明の実施の形態】以下に本発明の液晶表示装置について詳細に説明する。

【0027】図1は本発明の液晶表示装置の構成の1例を概略的に示す図である。図2は図1に例示した液晶表示装置の1画素を構成する回路の1例を示す図である。

【0028】本発明の液晶表示装置が具備する第1の電圧印加手段は、薄膜トランジスタ ( $\text{Tr}1$ ) 101を備えており、この薄膜トランジスタ ( $\text{Tr}1$ ) 101のゲート電極はゲート線 ( $\text{Gn}$ ) 102に接続され、ソース電極は第1の信号線駆動回路 103に接続された信号線 ( $\text{Sm}$ ) 104に接続され、ドレイン電極は液晶層 10

5と接続された画素電極110に接続されている。液晶層105の透過率を画素電極110と対向電極106の間の電圧により変化させて表示を可能にするものである。対向電極106の電位を $V_{com}$ とする。

【0029】第2の電圧印加手段は薄膜トランジスタ( $Tr2$ )107を備えており、この薄膜トランジスタ( $Tr2$ )107のソース電極は第2の信号線ドライバ回路108に接続した第2の信号線( $Vac$ )109に接続され、ドレイン電極は液晶層105と接続された画素電極110に接続されている。また、薄膜トランジスタ( $Tr2$ )107のゲート電極は第1及び第2の電圧印加手段を切替えるとともに、この切替状態を保持するメモリ部を有する制御手段に接続されている。

【0030】制御手段には、常誘電体絶縁膜によるコンデンサ( $C1$ )111と、強誘電性絶縁膜によるコンデンサ( $C2$ )112を用いている。コンデンサ( $C1$ )111、 $C2$ を直列に接続し、 $C1$ 側を画素電極110と、 $C2$ 側を前段のゲート線( $Gn-1$ )113とそれぞれ接続する。また、薄膜トランジスタ( $Tr2$ )107のゲート電極とコンデンサ $C1$ とコンデンサ $C2$ の接続点とを接続する。

【0031】図1に例示した液晶表示装置においては、トランジスタを採用して回路を構成したが、例えばダイオードのような他の非線形スイッチング素子を用いるようにしてもよい。

【0032】液晶層はネマティック液晶をホストとしカラー染料をゲストとしたゲストホスト型としたが、黒色染料をホストとするようにしてもよい。また、高分子分散型液晶、スーパーホメオトロピック液晶など他の液晶を用いるようにしてもよい。ノーマリ黒の液晶を用いた場合は電圧が印加されないとき着色し(黒色染料の場合で代表し黒表示と呼ぶ)、電圧が印加されるとき透明となり白表示となる。薄膜トランジスタは、アモルファスシリコンで活性層を形成したものをを用いたが、非単結晶の結晶シリコン、 $Te$ 、 $CdSe$ など他の半導体層で活性層を形成するようにしてもよい。

【0033】図2に例示した液晶表示装置の画素回路を構成する強誘電コンデンサ( $C2$ )112の強誘電性絶縁膜にはチタン酸バリウム(IV)の結晶膜を用いている。強誘電性絶縁膜として $PZT(PbZr_xTi_{1-x}O_3)$ 、 $PLZT((Pb,La)(Zr,Ti)O_3)$ などのペロブスカイト系の強誘電体を用いるようにしてもよい。また、 $BaMgF_4$ などの化合物、 $Ba_4Ti_3O_{12}$ などの層状化合物を用いるようにしてもよい。さらに、ビニリデンフロライトとトリフルオロエチレンとの共重合体や、ポリフッ化ビニリデンとトリフルオロエチレンとの共重合体などの有機強誘電体を用いるようにしてもよい。

【0034】強誘電コンデンサ( $C2$ )112の特性を図3に示す。横軸をコンデンサに印加する電圧 $V$ 、縦軸

を分極 $P$ とすると、図示したようにヒステリシスを描く。坑電界 $E_c$ から求められる電圧である $V_c$ 以上の電圧が印加されると分極は正となり、電圧を0にしても自発分極 $P_s$ の分極が残る。また、 $-V_c$ 以下の電圧が印加されるとそこで分極が反転し負の分極となる。

【0035】まず、通常階調駆動時の動作を示す。この場合強誘電コンデンサ( $C2$ )112は前段のゲート線( $Gn-1$ )113を基準に負に分極しており、第2の電圧印加手段を開閉するトランジスタ( $Tr2$ )107のゲート電極の電位 $V_{g2}$ は前段のゲート線( $Gn-1$ )113に対して負となり、トランジスタ( $Tr2$ )107はオフになる。したがって、画素電位 $V_p$ は第2の信号線( $Vac$ )から切り離されており、トランジスタ( $Tr2$ )107による影響はない。

【0036】表示装置の( $n, m$ )番地の画素を選択して表示信号を書き込む際には、トランジスタ( $Tr2$ )101を、ゲート線( $Gn$ )102を高電圧にすることによりオンさせ、信号線( $Sm$ )104の電圧が画素電位 $V_p$ に書き込まれる(等しくなる)。

【0037】このとき、信号電圧によってコンデンサ( $C1$ )111とコンデンサ( $C2$ )112の容量分割により、コンデンサ( $C1$ )111とコンデンサ( $C2$ )112との間に電圧 $V_{g2}$ が発生するから、第1の電圧印加手段により印加する電圧を、強誘電コンデンサ( $C2$ )112の分極が反転する分極反転電圧 $V_c$ よりも小さくするように印加すれば、コンデンサ( $C2$ )112の分極は維持される。

【0038】通常駆動時の第1の電圧印加手段によって印加される表示信号電圧の最大変化量を $\Delta V_{sig}$ とすると、

$$\Delta V_{g2} = (C1 / (C1 + C2)) \cdot \Delta V_{sig} < V_c$$

の不等号が実現するように $\Delta V_{sig}$ を設定すれば、強誘電コンデンサ( $C2$ )112は分極反転せずに分極を保つことができる。

【0039】電荷は液晶 $LC$ およびコンデンサ( $C1$ )111とコンデンサ( $C2$ )112の直列接続で構成された蓄積容量に貯えられる。強誘電コンデンサ( $C2$ )112は直流的には電圧を持っているが、常誘電コンデンサ( $C1$ )111により画素電位 $V_p$ に対する直流成分の影響をなくすることができる。画素電位 $V_p$ を対向電極電位 $V_{com}$ に対して正、負の電圧となるように信号を加えることで液晶に交流が印加でき、その振幅も信号線( $Sm$ )104に印加される電圧によって自由に決めることができることから、液晶の透過率は連続的に変化させることができ、階調表示が可能となる。

【0040】次に、メモリ駆動を説明する。

【0041】図4はメモリ駆動時の信号波形の1例を概略的に示す図である。メモリ駆動の場合、第2の電圧印加手段により、配線 $Vac$ に対向電位 $V_{com}$ を中心と

した交流電圧を印加する。周波数は例えば60Hzに設定することでフリッカは視認されない。この周波数は必要に応じて設定するようにしてもよい。

【0042】まず、強誘電コンデンサ(C2)112の分極の向きを前段のゲート線(Gn-1)113に対してVg2側が正になるようにするために、トランジスタ(Tr2)101をゲート線(Gn)102に正のパルスを加えてオンさせ、信号線(Sm)104に通常階調表示の場合よりも大きな正の電圧振幅 $\Delta V_{sig}$ を印加する。また、図4に例示するように一度Vpを低くしてから、正のパルスを印加するようにしてもよい。さらに他の方法として、1つ前のフレームで低い電圧を書込み、分極反転を起こさせるフレームで電圧差が大きくなるような高い電圧を印加するようにしてもよい。

【0043】いずれにせよ、 $\Delta V_{sig}$ の大きさをVg2の差分として、以下のように強誘電コンデンサ(C2)112の分極反転電圧Vcよりも大きくするようすれば、強誘電容量の分極が正に反転する。

【0044】 $\Delta V_{g2} = (C1 / (C1 + C2)) \cdot \Delta V_{sig} > V_c$

強誘電コンデンサ(C2)112の分極が正に反転すると、この時は既に前段のゲート線(Gn-1)113の電圧は0Vとなっているから、Vg2の値は、強誘電コンデンサ(C2)112の残留分極Prから、 $\Delta V_{g2}$ は、ほぼ、

$$\Delta V_{g2} = (Pr \cdot A) / C2$$

で求められる値となる。ここで、Aはコンデンサの面積、C2は強誘電コンデンサの容量である。

【0045】この第1の電圧印加手段により印加される電圧によって、第2のトランジスタ(Tr2)107がオンすることになる。その結果、第2の信号線(Vac)に印加された交流電圧が(Tr2)107を通して液晶に印加されることで白表示となる。

【0046】次に、強誘電コンデンサ(C2)112の分極を反転させるために、第1の電圧印加手段により印加する電圧を図4右寄りのように一度正にしてから、 $\Delta V_{sig}$ だけ負のパルスを印加すると、強誘電コンデンサ(C2)112には、絶対値としてVcより大きな電圧が印加されるので分極は反転する。

【0047】この後、ゲートパルスが高い間に、第1の電圧印加手段から対向電極電圧Vcom程度の電圧を印加するようにすると、ゲートパルスがオフ、すなわちトランジスタ(Tr2)101がオフしたときに、画素電圧VpはVcomとほぼ等しくなり液晶には電圧が印加されず、黒表示となる。また、第1の電圧印加手段から印加する電圧を対向電極電圧Vcomよりもトランジスタ(Tr2)101のゲート電圧の変化で発生する電圧シフト量 $\Delta V_p$ だけ大きくするようにしてもよい。これにより液晶に印加される電圧はほぼ0にすることができる。

【0048】黒表示の場合、トランジスタ(Tr2)101とトランジスタ(Tr2)107がオフのままでは画素電圧Vpが他の画素の駆動信号など外部からの擾乱によりドリフトしてしまう場合には、必要に応じて第1の電圧印加手段により対向電極電圧Vcomにほぼ等しい電圧を印加するようにしてもよい。この場合は通常階調駆動時と同様に、強誘電コンデンサ(C2)112の分極は反転することはないため、トランジスタ(Tr2)107のオン、オフの状態は保持できる。

10 【0049】なお、そのタイミングは例えば静止画表示中は1秒に1回ないしそれ以上と長周期で印加するようにすればよいし、また動画表示中でも例えば60Hzで印加するようにすればよく、この電圧印加の周波数は必要な表示品質に応じて印加するようにすればよい。

【0050】またゲートパルスを全部同時にオンさせて書き込むこともできるから、表示画像が変化しない空き時間に印加するようにしてもよいし、必要に応じて適当な周期で印加するようにしてもよく、表示への影響をおよぼすことはない。

20 【0051】また、第2の電圧印加手段による液晶への電圧印加は第2の信号線に印加される交流電圧Vacで行われているが、信号線(Sm)104の電圧変化は画面が書換えられる時だけとなり、実効的な周波数を大幅に削減することができ、したがって、消費電力をほとんど0に近くすることができる。

【0052】例えば、A4サイズの液晶表示装置の液晶容量は、比誘電率10、セルギャップ5 $\mu$ mの場合で、容量値Ctは1.1 $\mu$ Fである。第2の電圧印加手段により印加される交流電圧Vacの周波数を60Hzとし、また駆動電圧を10Vとしても、消費電力は、1.1 $\mu$ F $\times$ 60 $\times$ 10<sup>2</sup>=6.6mWである。この消費電力はアルカリ単三乾電池1本で数100時間以上の使用を可能にする値であり、特に携帯用情報機器などの表示装置に最適な十分に消費電力の小さい液晶表示装置となる。

30 【0053】第1の電圧印加手段による階調駆動表示と、第2の電圧印加手段によるメモリ駆動表示との選択は、ユーザーが設定して切替えるようにしてもよいし、表示画面の動静により自動的に切替わるようにしてもよい。

40 【0054】このように第1の電圧印加手段により液晶に電圧を印加して通常の階調駆動表示を行い、第2の電圧印加手段に第1の電圧印加手段より小さな例えば60Hzの周波数で液晶に電圧を印加してメモリ駆動表示を行うようにすれば、第1の信号線に印加される表示信号の駆動周波数を大幅に小さくすることができる。したがって消費電力を大きく低減することができる。さらに、必要に応じて階調駆動表示を行うことができるので、表示品質を制限することはない。

50 【0055】図5は、図2に例示した回路を実現するた

めの画素パターンを概略的に示す図であり、図6は図5のMNに沿った断面を概略的に示す図である。

【0056】下部電極401をITOなどの酸化導電膜で形成した後、強誘電性薄膜402を堆積する。ここではCVD法により基板温度600℃で200nm成膜した。強誘電膜はコンデンサ(C2)112付近のみに残るようにしたが、ほぼ全面に残すようにしてもよい。強誘電薄膜はプラズマCVD方法で形成するようにしてもよいし、また、スパッタ法、イオンアシスト法、ゾルゲル法で形成するようにもよく、レーザーアニールを用いるようにしてもよい。強誘電体材料もチタン酸バリウム

の他、PZT、PLZTまたは有機膜を用いるようにしてもよい。

【0057】ゲート線403および強誘電コンデンサ(C2)112の上部電極404、常誘電コンデンサ(C1)111の下部電極405を同じ金属材料、ここではMoW合金を用いて300nmの膜厚で形成した。金属材料はMoTaや単体の金属などを用いるようにしてもよい。

【0058】続いてゲート絶縁膜406をプラズマCVD法で堆積し、アモルファスシリコン407を堆積し、ソース、ドレイン領域のn型アモルファスシリコン413を介して、ソース電極408、ドレイン電極409、信号線410および常誘電コンデンサ(C1)111の上部電極411をMoで形成した。

【0059】n型アモルファスシリコンはCVD法でも成膜するようにしてもよいし、アモルファスシリコンにイオンドーピング不純物を注入して形成するようにしてもよい。またゲート電極をマスクとして裏面露光などを用いてセルフアライン技術によって、チャンネル層、ソース、ドレイン電極を形成するようにしてもよい。

【0060】画素電極412は、層間絶縁膜を形成後、最後にITOにより形成した。チャンネル部の上に絶縁膜を形成する構造もセルフアライン化に有効である。

【0061】なお、この例では透過型の液晶表示装置としたが、反射型の液晶表示装置に適用するようにしてもよい。この場合、画素電極をA1などの散乱性のある反射電極として形成し、配線やTFEの上までも覆うように保護絶縁膜414の上に配置するようにすれば開口率が向上する。

【0062】製造方法はここに例示した以外の方法を採用するようにしてもよい。

【0063】またトランジスタもゲート電極を半導体層の上に設けるスタガ型やプレーナ型を用いるようにしてもよく、半導体層も非単結晶の結晶シリコン、CdSe、Teなどで形成するようにしてもよい。

【0064】液晶もGH型以外の表示モードや材料、TN型や反強誘電性液晶、コレステリック液晶などを用いるようにしてもよい。前述の例ではノーマリ黒のモードとしたがノーマリ白のモードでもよい。その他、本発明

の趣旨を逸脱しない範囲で変形するようにしてもよい。

【0065】図7は図1の回路でさらに駆動方法を改良した印加電圧の波形を示す。この場合、メモリ駆動の場合でゲート線パルス波形に特徴があり、1段前のゲート線のパルスが3つの値を取るようにしている。選択している画素のトランジスタ(Tr2)101がオンしているときに、前段のゲート線の電位を下げることで、小さい信号電圧でも強誘電コンデンサ(C2)112の分極を反転させることができる。さらに、画素の選択が終了した後に、前段のゲート線の電位を $\Delta V_g$ だけ引き上げると、 $V_{g2}$ の電位も $\Delta V_g$ だけ上がる。

【0066】トランジスタ(Tr2)107をオンさせる時には、ゲート電圧が正で大きいほどオン抵抗が低下することから、トランジスタ(Tr2)107の大きさを小さくしたり、移動度の低いトランジスタを用いた場合でも液晶に電圧が印加できるようになる。

【0067】トランジスタ(Tr2)107をオフさせる時には、ゲート電圧 $V_{g2}$ は0~-5V程度でよく、正負で絶対値が同じ電圧を印加する必要はないから、強誘電コンデンサ(C2)112の分極で発生する電圧よりも $\Delta V_g$ だけ高くしても十分にトランジスタ(Tr2)107をオフさせることができる。

【0068】以上の説明はnチャネル型トランジスタを用いた場合について行ったが、pチャネル型トランジスタを用いた場合でも全く同様に考えることができる。この場合は電位関係をpチャネル型に合わせればよい。

【0069】また、本実施例では対向電極の電位を一定にしているが、配線Vacのみに印加する電位一定にし、対向電極電圧Vcomに交流を印加するようにしてもよい。この場合、配線Vacを前段のゲート線(Gn-1)113に接続することも可能である。

【0070】さらに、強誘電コンデンサ(C2)112の接続先も含めて前段のゲート線に接続せずに、独立した配線を設けることも可能である。

【0071】また、配線Vac109の配置方法として、信号線に平行に配置するようにしてもよい(図15参照)。このような配置は特に反射型液晶表示装置などで画素電極と信号線との間が別層にあって層間絶縁されているような場合に特に有効である。

【0072】本発明の液晶表示装置が具備する、第1の電圧印加手段、第2の電圧印加手段及び制御手段は、図2に例示した構成以外の回路により実現するようにしてもよい。

【0073】図8は本発明の液晶表示装置の1画素を構成する回路の別の1例を示す図である。

【0074】図8に例示した画素構成回路はゲート電極を絶縁するゲート絶縁膜とコンタクト領域を介してソース・ドレイン電極と接合した半導体膜との間に強誘電体膜を有する薄膜トランジスタ(Tr2)801を具備している。つまりこのトランジスタ(Tr2)801は、

10

20

30

40

50

強誘電コンデンサを内部に具備したトランジスタであり、スイッチング機能とメモリ機能を有する複合デバイスである。このトランジスタの詳細な説明については後述する(図16~18参照)。

【0075】トランジスタ(Tr2)801の分極を反転させメモリ書き込みを行う場合には、ストローブ配線(St)802によりトランジスタ(Tr3)803をオフにして、トランジスタ(Tr1)804をオンにし第1の電圧印加手段により正の分極反転電圧を印加するようにすればよい。

【0076】メモリ駆動時に液晶(LC)805に電圧を印加する場合には、トランジスタ(Tr3)をストローブ配線によりオンにしたうえで、トランジスタ(Tr2)のオン、オフにより第2の信号線(Vac)806からの電圧を印加するようにすればよい。

【0077】なお、図8に例示した回路において、トランジスタ(Tr3)801及びストローブ配線(St)802は省略するようにしてもよい。

【0078】この場合、例えばトランジスタ(Tr2)801内の強誘電コンデンサの分極反転を行う第1の電圧印加手段からの信号の振幅 $\Delta V_{sigw}$ を大きくとり、立上がり時間を短くすることにより、トランジスタ(Tr3)803及びストローブ配線(St)802を省略した場合でも、強誘電コンデンサをスイッチ動作させるようにしてもよい。

【0079】図9はこのようなトランジスタ(Tr3)及びストローブ配線(St)を省略した本発明の液晶表示装置の1画素を構成する回路の1例を示す図である。

【0080】さらに、図8及び図9に例示した画素構成回路において、トランジスタ(Tr2)のような強誘電コンデンサを内部に具備したトランジスタは、通常のトランジスタ1001と強誘電コンデンサ1002を組み合わせて実現するようにしてもよい。

【0081】図10は図8に例示した回路を通常のトランジスタ1001と強誘電コンデンサ1002を組み合わせた変形例であり、図11は図9に例示した回路の同様の変形例である。

【0082】このように本発明の液晶表示装置は、複数系統の電圧印加手段により液晶に電圧を印加して階調表示及びメモリ表示を実現するとともにこれら複数の電圧印加手段を切替えるとともにこの切替状態を保持するメモリ部を具備した構成となっていればよく、上述した回路構成以外にも様々に変形して実施するようにしてもよい。

【0083】次に、本発明のさらに別の実施形態について説明する。

【0084】図12は本発明の液晶表示装置の1画素を構成する回路の別の1例を示す図である。

【0085】この画素回路では図2に例示した常誘電コンデンサ(C1)1201と並列にソース、ドレインを

接続したトランジスタ(Tr3)1202を設けている。

【0086】このような構成によれば強誘電コンデンサ(C2)1203の分極反転を行う際には、トランジスタ(Tr3)1202をオンさせることで低い信号電圧でも強誘電コンデンサ(C2)1203の分極を反転させることができる。

【0087】また、強誘電コンデンサ(C2)1203の大きさを、常誘電コンデンサ(C1)に比べ大きくすることができ、通常階調駆動時のトランジスタ(Tr1)からみた蓄積容量が強誘電コンデンサ(C2)1203の容量にほぼ等しくすることができる。したがって、印加電圧による容量変化を実質的になくすることができ、さらに容易に階調制御を行うことができる。

【0088】さらに、強誘電コンデンサを大きく形成することにより、アレイ基板を製造する際のマージンが向上し、表示画面全体にわたって均一に形成できると同時に生産性も向上する。

【0089】図13は本発明の液晶表示装置の1画素を構成する回路の別の1例を示す図である。

【0090】この画素回路においては第1の電圧印加手段である信号線(Sm)1300の他に、第2の電圧印加手段として第2の信号線(Vac1)1301、第2の信号線(Vac2)1302、ストローブ配線(St)1303と3系統備えており、これに応じて各系統の切替えと、切替え状態の保持を行うために、4個の非線形スイッチング素子として、トランジスタ(Tr1)1304と、トランジスタ(Tr2)1305と、トランジスタ(Tr3)1306と、トランジスタ(Tr4)1307と、強誘電コンデンサ(C2)1308と、常誘電コンデンサ(C1)1309とを具備している。

【0091】トランジスタ(Tr2)1305がオンの時はトランジスタ(Tr3)1306をオフにし、トランジスタ(Tr2)1305がオフの時はトランジスタ(Tr3)1306をオンになるように電圧を印加する。

【0092】階調駆動を行う際にはトランジスタ(Tr4)1307を常にオフとし、トランジスタ(Tr2)1305をオフ、トランジスタ(Tr3)1306をオン状態にすれば、第2の信号線(Vac1)1301及び(Vac2)1302を液晶(LC)1310と切り離すことができ、第1の信号線(Sm)1300及びトランジスタ(Tr1)1304経由で通常の階調表示を行うことができる。

【0093】メモリ駆動を行う際には、トランジスタ(Tr4)1307を常にオンとすれば、トランジスタ(Tr2)1305がオンかつトランジスタ(Tr3)1306がオフの時には液晶には電圧Vac1が印加される。また、トランジスタ(Tr2)1305がオフか

トランジスタ (Tr 3) 1306 がオンの時には液晶には電圧 Vac 2 が印加される。

【0094】このような構成によれば、消費電力を大きく低減できるメモリ駆動を行う際にも、液晶 (LC) 1310 に常に Vac 1 または Vac 2 という所定の電圧を印加することができる。したがって、トランジスタ (Tr 1) 1304 経由の強誘電コンデンサ (C 2) 1308 への書き込みのタイミングを自由に選択することができ、さらにトランジスタ (Tr 1) 1304 経由の液晶 (LC) 1310 のリフレッシュを完全に不変に保つことができる。

【0095】図14は本発明の液晶表示装置の1画素を構成する回路の別の1例を示す図である。

【0096】図14に例示した画素回路においては強誘電コンデンサは設けておらず、ゲート電極がストロープ配線 (St) 1401 に接続されたトランジスタ (Tr 3) 1402 と常誘電コンデンサ (C 1) 1403 により、表示モードの切替えを行っている。切替え状態の保持は第2の信号線駆動回路によりストロープ配線 (St) 1401 経由で管理するようにしている。

【0097】ストロープ配線 (St) 1401 によりトランジスタ (Tr 3) 1402 をオンさせると、常誘電コンデンサ (C 1) 1403 に電圧が書き込まれ、トランジスタ (Tr 2) 1404 をオン・オフさせることができ、第2の信号線 1405 からの電圧 Vac を液晶 (LC) 1406 に印加することができる。

【0098】液晶 (LC) 1406 への交流電圧を印加するための配線 Vac 1405 は、前述のように対向電極 (V com) 1407 に交流を印加するようにすれば、配線 Vac 1405 はストロープ配線 (St) 1401 あるいはゲート線 (Gn-1) 1408 と兼用させることも可能である。

【0099】また、上述のように第2の電圧印加手段である第2の信号線 (Vac) 1405、ストロープ配線 (St) 1401 などは、第1の信号線 (Sm) 1409 と平行に配設するようにしてもよい。

【0100】このような構成によれば、とりわけ反射型液晶表示装置のように画素電極と信号線が層間絶縁された異なる層にある場合に特に有効である。

【0101】図15はこのような構成の液晶表示装置の1例を概略的に示した図である。第2の信号線は複数系統設けるようにしてもよい。このような場合は、第2の信号線 1501 (表示信号印加に限らない) の駆動回路である第2の信号線駆動回路は1502、各系統毎に独立して複数設けるようにしてもよいし、各系統をそれぞれ制御できる一つの駆動回路を設けるようにしてもよい。

【0102】なお、配線 Vac に一定電圧を印加し、対向電極 V com に交流電圧を印加して、配線 Vac をストロープ配線 (St) あるいは前段のゲート線 (Gn-

1) と兼用させる場合には、対向電極駆動回路に第2の信号線駆動回路と同様の機能をもたせるか、対向電極を第2の信号線駆動回路によって駆動するなど適宜設計するようにすればよい。

【0103】なお、図13に例示した画素回路において Vac 1、Vac 2 を選択する方法として、強誘電体コンデンサを用いないで構成するようにしてもよい。例えば、図13に例示した画素回路の強誘電コンデンサ (C 2) 1308 に代えてインバータ回路を用いるようにしてもよい。

【0104】次に、本発明の液晶表示装置に用いた強誘電膜を内部に具備した非線形スイッチング素子について説明する。

【0105】図16、17および18は例えば図8および図9の画素部分に形成した強誘電体膜を内部に具備した複合デバイスである薄膜トランジスタの構造の1例を概略的に示す断面図である。

【0106】図16に例示した薄膜トランジスタは、透明絶縁性基板 1601 と、この絶縁性基板 1601 上に形成されたゲート電極 1602 と、このゲート電極上に形成されたゲート絶縁膜 1603 と、このゲート絶縁膜上に形成された強誘電体膜 1604 と、この強誘電体膜 1604 上に形成された半導体膜 1605 と、この半導体膜上に形成されたチャネル保護膜 1606 と、このチャネル保護膜を挟んで前記半導体膜 1605 上に形成された複数の不純物半導体膜 1607 と、不純物半導体膜 1607 上に形成されたソース電極及びドレイン電極 1608 とを具備している。

【0107】強誘電体膜 1604 は半導体膜 1605 およびソース電極及びドレイン電極 1608 の形成領域に対応する領域に形成するようにしてもよい。

【0108】図16に例示した薄膜トランジスタにおいては、強誘電体膜 1604 はチタン酸バリウムの結晶膜を成膜して用いている。強誘電性絶縁膜として PZT ( $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ )、PLZT ( $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ ) などのペロブスカイト系の強誘電体を用いるようにしてもよい。また、 $\text{BaMgF}_4$  などの化合物、 $\text{Ba}_4\text{Ti}_3\text{O}_{12}$  などの層状化合物を用いるようにしてもよい。

【0109】さらに、ビニリデンフロライトとトリフルオロエチレンとの共重合体、ポリフッ化ビニリデンとトリフルオロエチレンとの共重合体などの有機強誘電体を用いるようにしてもよい。

【0110】強誘電性絶縁膜の成膜にあたっては、スパッタ法、CVD法、プラズマCVD法、イオンアシスト法またはゾルゲル法などを必要に応じて選択して用いるようにすればよい。膜厚についても、必要な容量などに応じて適宜設計するようにすればよい。

【0111】また、透明絶縁性基板 1601 に基板保護膜を形成して、この上にゲート電極 1602 を形成する

10

20

30

40

50



ようにしてもよい。

【0112】半導体膜1605は例えばアモルファスシリコン膜を成膜して用いるようにしてもよいし、非単結晶の結晶質シリコン膜を成膜して用いるようにしてもよい。さらに、CdSe、Teなど他の半導体を用いるようにしてもよい。

【0113】図17に例示した薄膜トランジスタは、透明絶縁性基板1701と、この絶縁性基板上に形成されたゲート電極1702と、このゲート電極上に形成されたゲート絶縁膜1703と、このゲート絶縁膜1703上に形成された強誘電体膜1704と、この強誘電体膜1704上に形成された半導体膜1705と、この半導体膜の所定領域に形成されたコンタクト領域1706と、このコンタクト領域上に形成されたシリサイド層1707と、このシリサイド層上に形成されたソース電極及びドレイン電極1708とを具備している。

【0114】強誘電体膜1704はゲート絶縁膜1703上の全面に形成するようにしてもよい。

【0115】半導体膜1705はこれまで述べたようにa-Si、p-Si、 $\mu$ -Siおよびその他の半導体を必要に応じて成膜するようにすればよい。

【0116】また、半導体膜1705のチャネル領域上にチャネル保護膜1709を形成するようにしてもよい。

【0117】さらに、ソース電極及びドレイン電極1708、チャネル保護膜1709の上側にパッシベーション膜1710を形成するようにしてもよい。

【0118】半導体膜のコンタクト領域1706は、ゲート電極1702をマスクとして自己整合的にチャネル保護膜1709を形成し、このチャネル保護膜1709をマスクとして例えばりん(P)イオン(n型の時)などをドーピングして形成するようにしてもよい。

【0119】シリサイド層1707の形成は、半導体膜1705のコンタクト領域1706上に、例えばMo、Niなどの金属をスパッタ法などで堆積させ高温加熱することにより形成するようにしてもよい。

【0120】図18に例示した薄膜トランジスタは、透明絶縁性基板1801と、この絶縁性基板上に形成された遮光膜1802と、この遮光膜1802の上から絶縁基板1801上に形成された絶縁膜1803と、この絶縁膜上に形成されたソース電極及びドレイン電極1804と、このソース及びドレイン電極の上側から絶縁膜上に形成された半導体膜1805と、この半導体膜の所定領域に形成されたコンタクト領域である不純物半導体層1806と、半導体膜1805上に形成された強誘電体膜1807と、この強誘電体膜1807上の半導体膜1805のチャネル領域に対応する領域に形成されたゲート絶縁膜1808と、このゲート絶縁膜上に形成されたゲート電極1809とを具備している。不純物層はイオンドーピング後にレーザーアニール法で活性化してい

る。

【0121】ソース・ドレイン電極1804は遮光膜1802をマスクとした裏面露光により自己整合的に形成するようにしてもよい。また、半導体膜のコンタクト領域1806も裏面露光によりパターンを形成しこのパターンをマスクとしてドーピングにより形成するようにしてもよい。

【0122】またゲート電極1808とソース・ドレイン電極1804を重ねるよう形成するようにしてもよい。

【0123】図16、図17及び図18に例示した薄膜トランジスタの他、プレーナ型など他の構造の薄膜トランジスタのゲート絶縁膜と半導体膜との間に強誘電体膜を形成するようにしてもよい。

【0124】このような構成を有する薄膜トランジスタは、強誘電コンデンサと薄膜トランジスタとの複合デバイスとして機能する。すなわち、図8及び図9に例示した本発明の液晶表示装置において、液晶に電圧を印加する複数系統の電圧印加手段のスイッチ機能と、メモリ駆動を実現するためのメモリ機能を同時に実現することができる。したがって、このような薄膜トランジスタを備えた液晶表示装置は、複数の例えば階調駆動とメモリ駆動の表示モードを任意に切り換えるとともに、切替え状態を保持することができ、消費電力を大きく低減することができる。

【0125】さらに、強誘電体の電化の保持が容易で劣化が少なく、また分極により生じる電荷を半導体膜のキャリア誘起に用いることができるので薄膜トランジスタのオン電流を多きくし薄膜トランジスタの特性が向上し、優れた液晶表示装置となる。

【0126】

【発明の効果】以上説明したように、本発明の液晶表示装置によれば、複数系統の電圧印加手段と、これら複数系統の電圧印加手段を切替えるとともに切替え状態を保持するメモリ部を有する制御手段とを具備することにより、階調駆動とメモリ駆動の複数の表示モードを選択できる。メモリ駆動によれば駆動周波数を大きく低減することができ、特に本発明の液晶表示装置を携帯用情報機器などに適用すれば、携帯時などに消費電力を小さくして長時間の使用が可能になる。さらに、必要に応じて階調表示を行うこともできるから、液晶表示装置のもつ表示能力、表示品質を制限することなく、低消費電力化を達成できる。

【図面の簡単な説明】

【図1】本発明の液晶表示装置の構成例を概略的に示す図。

【図2】本発明の液晶表示装置の画素回路の構成例を概略的に示す図。

【図3】強誘電コンデンサの分極特性を概略的に示す図。

【図 4】本発明の液晶表示装置の信号印加例を概略的に示す図。

【図 5】本発明の液晶表示装置の画素部分の構成例を概略的に示す図。

【図 6】図 5 の画素部分の MN 方向の断面を概略的に示す図。

【図 7】本発明の液晶表示装置の別の信号印加例を概略的に示す図。

【図 8】本発明の液晶表示装置の画素回路の別の構成例を概略的に示す図。

【図 9】本発明の液晶表示装置の画素回路の別の構成例を概略的に示す図。

【図 10】本発明の液晶表示装置の画素回路の別の構成例を概略的に示す図。

【図 11】本発明の液晶表示装置の画素回路の別の構成例を概略的に示す図。

【図 12】本発明の液晶表示装置の画素回路の別の構成例を概略的に示す図。

【図 13】本発明の液晶表示装置の画素回路の別の構成例を概略的に示す図。

【図 14】本発明の液晶表示装置の画素回路の別の構成例を概略的に示す図。

【図 15】本発明の液晶表示装置の別の構成例を概略的に示す図。

【図 16】本発明の液晶表示装置が具備する薄膜トランジスタの構造の例を概略的に示す断面図。

【図 17】本発明の液晶表示装置が具備する薄膜トランジスタの構造の例を概略的に示す断面図。

【図 18】本発明の液晶表示装置が具備する薄膜トランジスタの構造の例を概略的に示す断面図。

【図 19】従来の液晶表示装置の構成例を概略的に示す図。

【図 20】従来の液晶表示装置の画素回路の構成例を概略的に示す図。

#### 【符号の説明】

101……トランジスタ (Tr1)、102……ゲート線 (Gn)  
 103……第 1 の信号線駆動回路、104……第 1 の信号線 (Sm)  
 105……液晶 (LC)、106……対抗電極  
 107……トランジスタ (Tr2)、108……第 2 の信号線ドライバ回路  
 109……第 2 の信号線、110……画素電極、111……コンデンサ (C1)  
 112……コンデンサ (C2)、113……ゲート線 (Gn-1)  
 401……下部電極、402……強誘電性薄膜、403……ゲート線  
 404……上部電極 (C2部)、405……下部電極 (C1部)

406……ゲート絶縁膜 407……アモルファスシリコン

408……ソース電極、409……ドレイン電極、410……信号線

411……上部電極 (C1部)、412……画素電極、414……保護絶縁膜

801……強誘電体膜を有する薄膜トランジスタ (Tr2)

802……ストロブ配線 (St)、803……トランジスタ (Tr3)

804……トランジスタ (Tr1)、805……液晶 (LC)

806……第 2 の信号線 (Vac)

1001……トランジスタ、1002……強誘電コンデンサ

1201……常誘電コンデンサ (C1)、1202……トランジスタ (Tr3)

1203……強誘電コンデンサ (C2)

1300……第 1 の信号線 (Sm)、1301……第 2 の信号線 (Vac1)

1302……第 2 の信号線 (Vac2)、1303……ストロブ配線 (St)

1304……トランジスタ (Tr1)、1305……トランジスタ (Tr2)

1306……トランジスタ (Tr3)、1307……トランジスタ (Tr4)

1308……強誘電コンデンサ (C2)

1309……常誘電コンデンサ (C1)

1401……ストロブ配線 (St)、1402……トランジスタ (Tr3)

1403……常誘電コンデンサ (C1)、1404……トランジスタ (Tr2)

1405……第 2 の信号線 (Vac)、1406……液晶 (LC)

1407……対向電極 (Vcom)、1408……ゲート線 (Gn-1)

1409……第 1 の信号線 (Sm)

1501……第 2 の信号線、1502……第 2 の信号線駆動回路

1601……透明絶縁性基板、1602……ゲート電極

1603……ゲート絶縁膜、1604……強誘電体膜、

1605……半導体膜

1606……チャネル保護膜、1607……不純物半導体膜

1608……ソース・ドレイン電極

1701……透明絶縁性基板、1702……ゲート電極

1703……ゲート絶縁膜、1704……強誘電体膜、

1705……半導体膜

1706……コンタクト領域、1707……シリサイド

19

1708……ソース・ドレイン電極、1710……パッシベーション膜

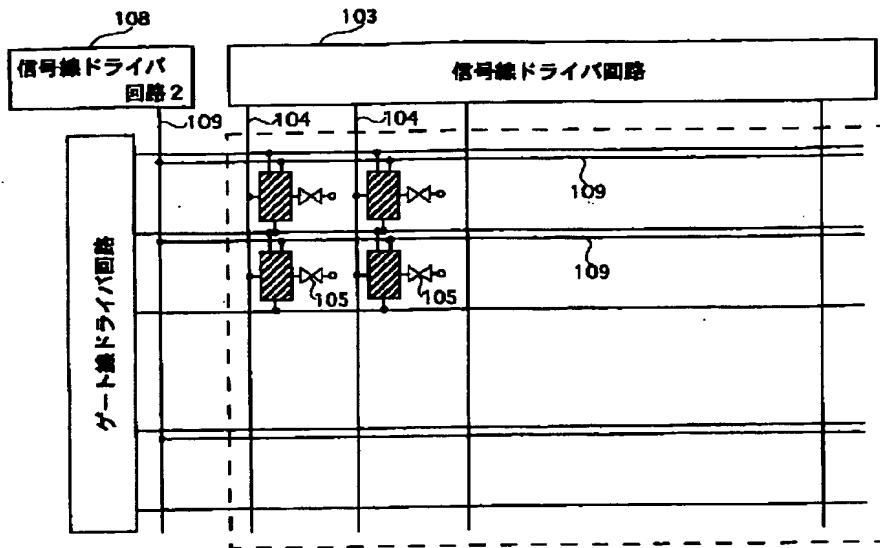
1801……透明絶縁性基板、1802……遮光膜、1803……絶縁膜

20

1804……ソース・ドレイン電極、1805……半導体膜

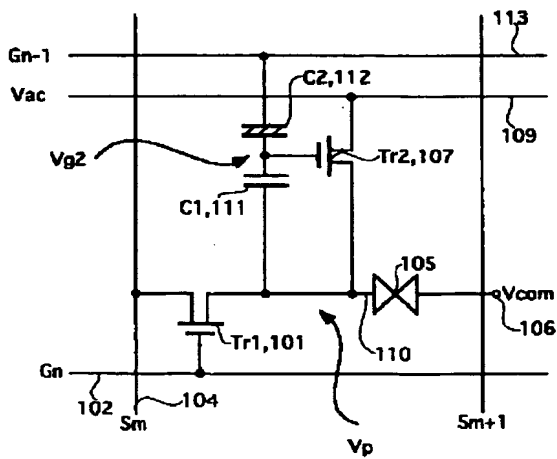
1806……不純物半導体層、1807……強誘電体膜、1808……ゲート絶縁膜、1809……ゲート電極

【図1】

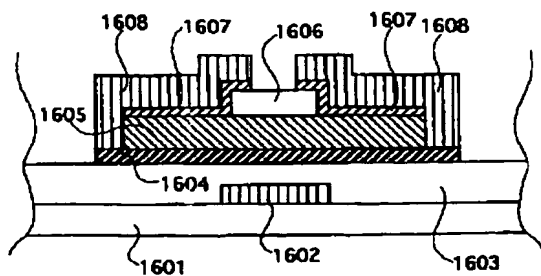
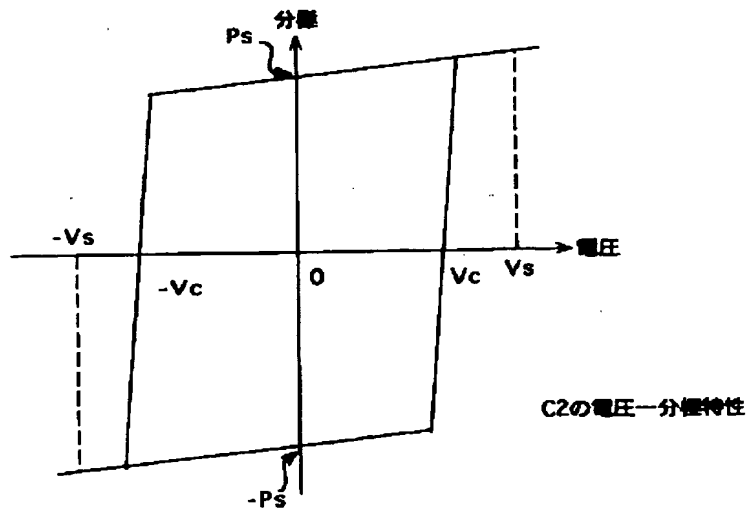


【図2】

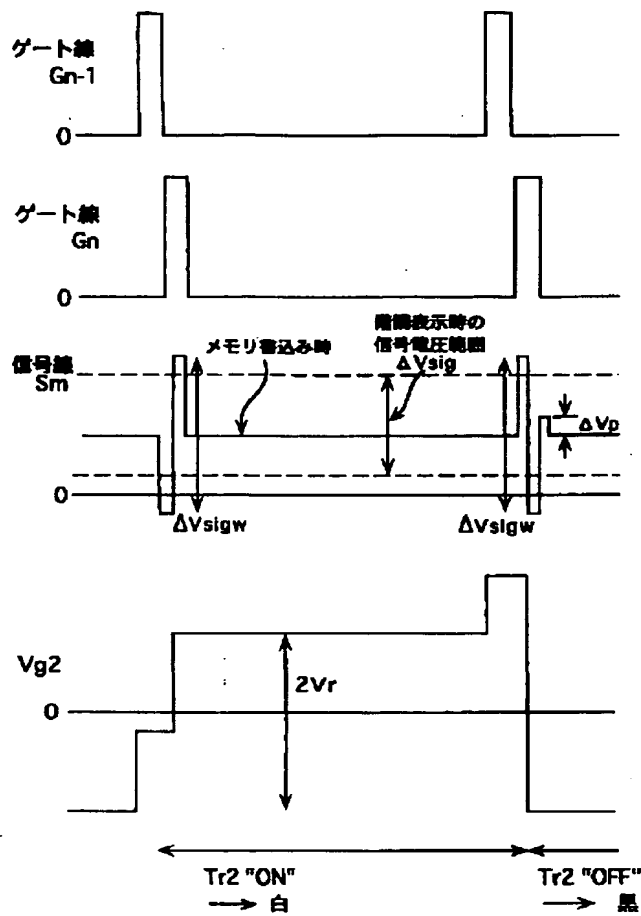
【図3】



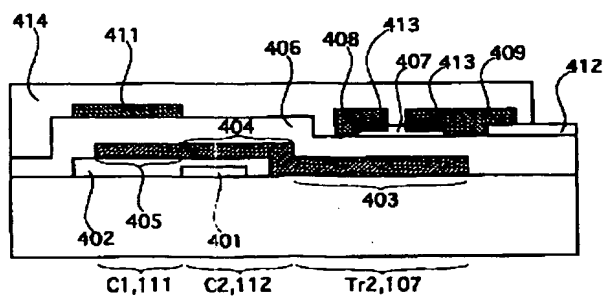
【図16】



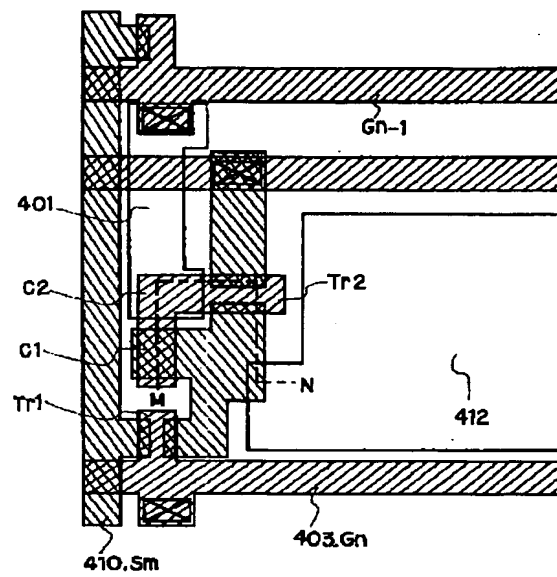
【図 4】



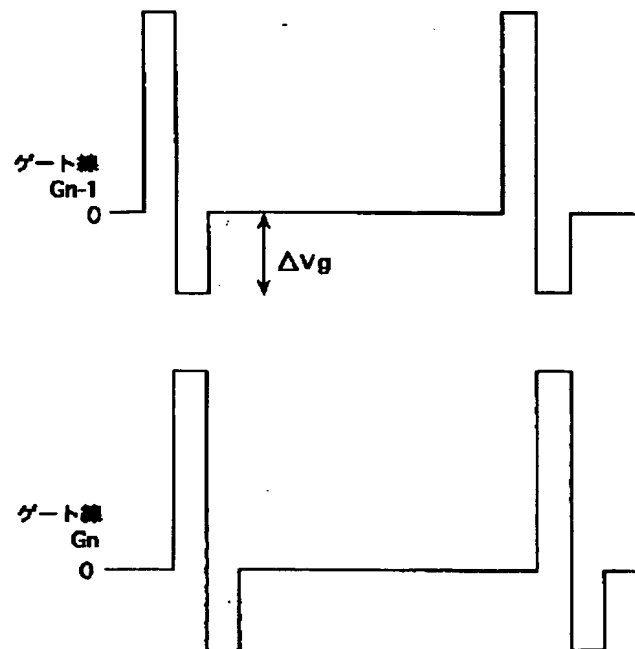
【図 6】



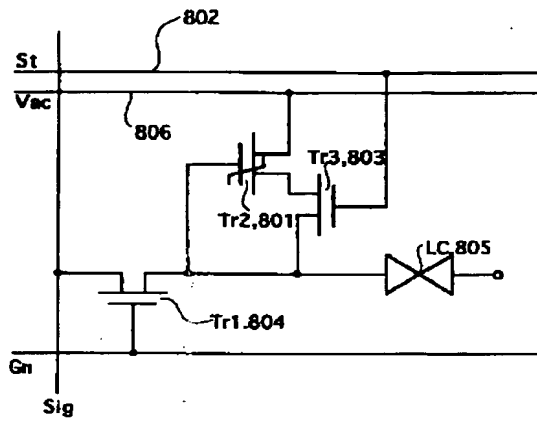
【図 5】



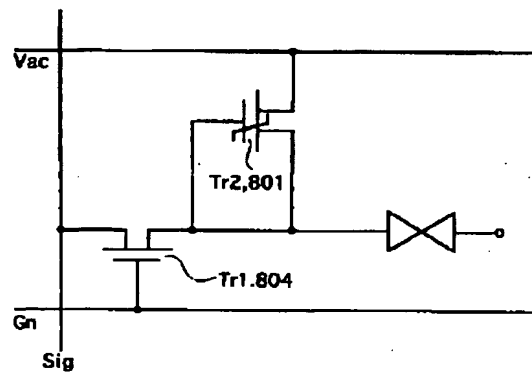
【図 7】



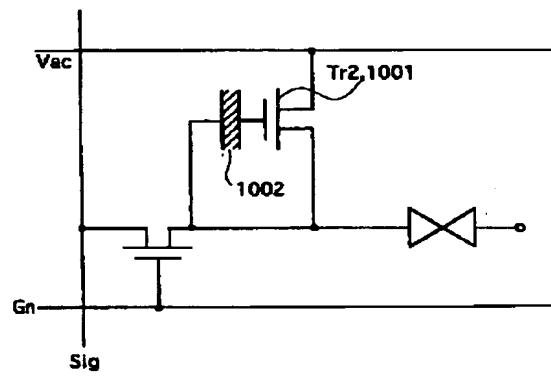
【図 8】



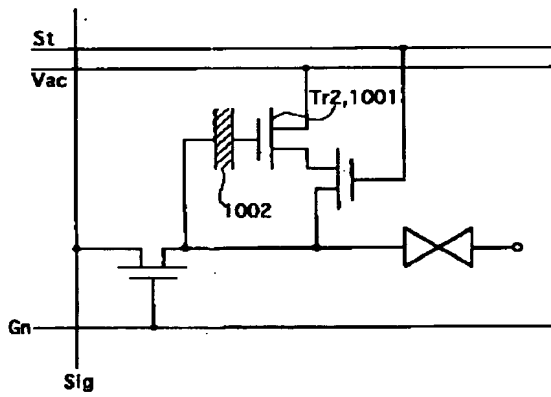
【図 9】



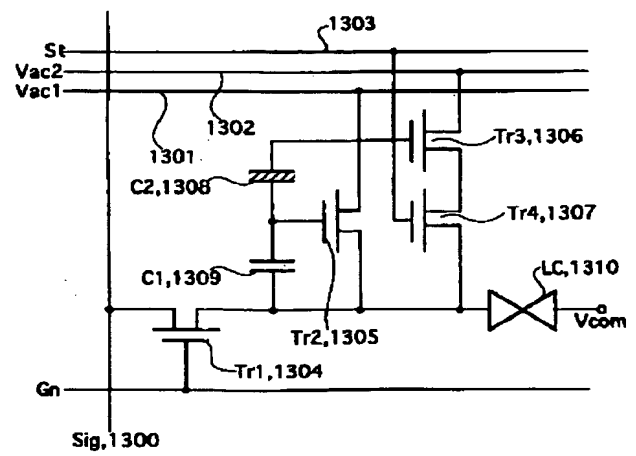
【図 11】



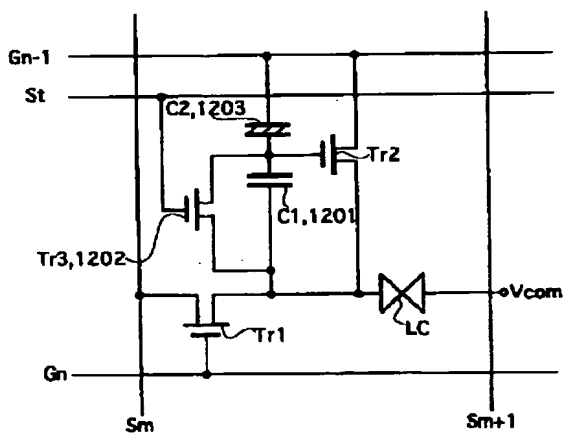
【図 10】



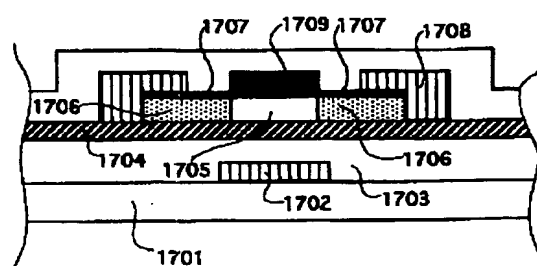
【図 13】



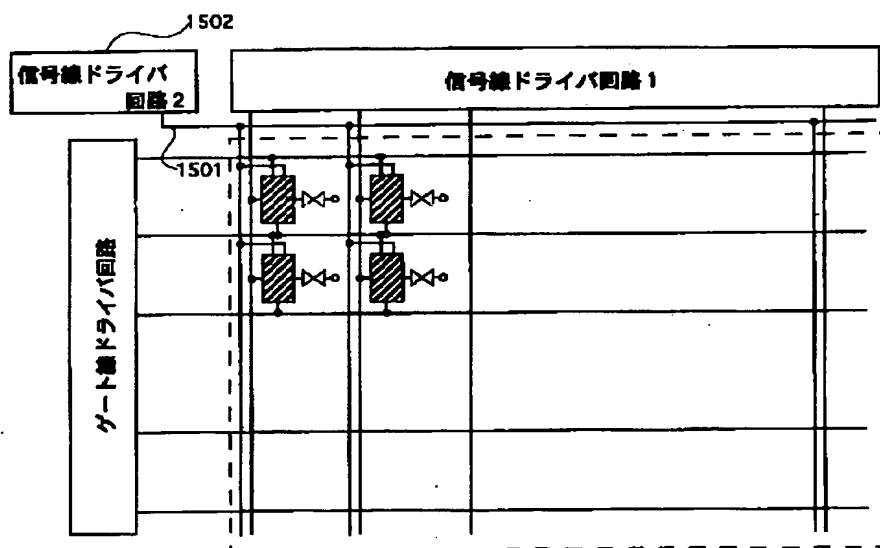
【図 12】



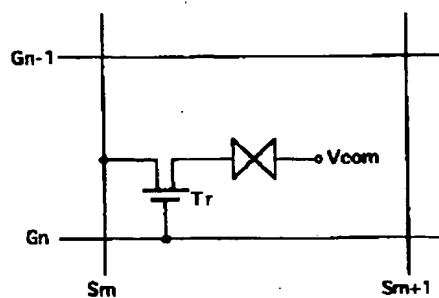
【图 17】



【☒ 1 5 】



【図 20】



【図 19】

